

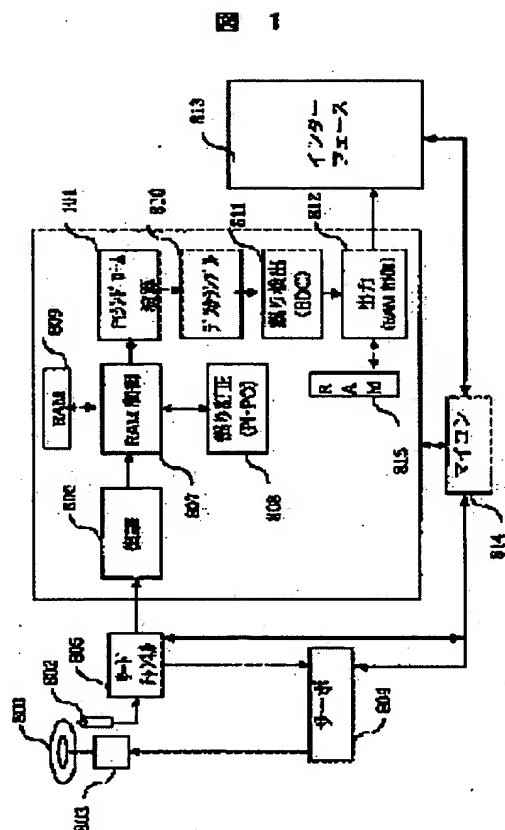
DEVICE AND METHOD FOR REPRODUCING DIGITAL DATA

Patent number: JP2002074861
Publication date: 2002-03-15
Inventor: HOSHISAWA HIROSHI; KAWAMAE OSAMU; NAGAI YUTAKA
Applicant: HITACHI LTD
Classification:
 - International: G11B20/18; G06F11/10; H03M13/29
 - european:
Application number: JP20000268364 20000831
Priority number(s):

Abstract of JP2002074861

PROBLEM TO BE SOLVED: To establish a method for ensuring processing of error correction in a device for reproducing digital data such as DVD, even when many errors are included in digital data to reproduce or data are partially missing, and to improve reliability of reproduced data.

SOLUTION: After performing the error correction processing of an error correcting code composing a product code with a device for reproducing digital data, demodulated data excellent in reliability are obtained by performing syndrome arithmetic processing again in a syndrome arithmetic circuit composed only for error detection, and then detecting an error from an obtained syndrome.



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-74861
(P2002-74861A)

(43) 公開日 平成14年3月15日 (2002.3.15)

| (51) Int.Cl. ⁷ | 識別記号 | F I | ターマコード* (参考) |
|---------------------------|-------|---------------|-------------------|
| G 1 1 B 20/18 | 5 2 0 | G 1 1 B 20/18 | 5 2 0 Z 5 B 0 0 1 |
| | 5 3 6 | | 5 3 6 B 5 J 0 6 5 |
| | 5 4 0 | | 5 4 0 A |
| | 5 7 2 | | 5 7 2 C |
| | | | 5 7 2 F |

審査請求 未請求 請求項の数 7 O L (全 20 頁) 最終頁に続く

(21) 出願番号 特願2000-268364 (P2000-268364)

(22) 出願日 平成12年8月31日 (2000.8.31)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 星沢 拓

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(72) 発明者 川前 治

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所デジタルメディア開発本部内

(74) 代理人 100075096

弁理士 作田 康夫

最終頁に続く

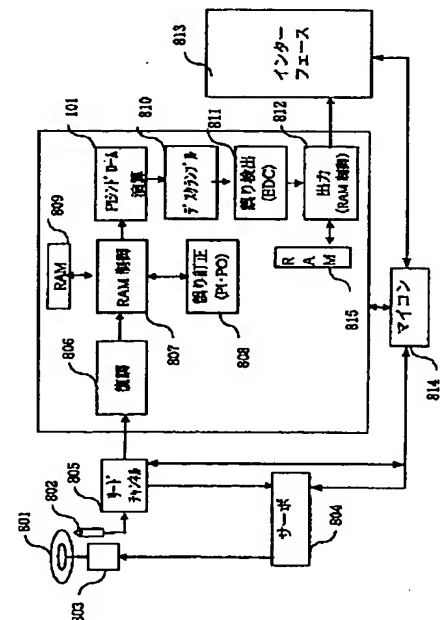
(54) 【発明の名称】 デジタルデータ再生装置及び再生方法

(57) 【要約】

【課題】 DVDなどのデジタルデータ再生装置において、再生するデジタルデータに多くのエラーが含まれていたり、一部データが欠落した場合においても誤り訂正の処理を確実にを行う方法を明確にし、再生データの信頼性を向上させることが課題となる。

【解決手段】 デジタルデータ再生装置で、積符号を構成する誤り訂正符号の誤り訂正処理を行った後に、エラー検出専用構成されたシンドローム演算回路で再度シンドローム演算処理を行い、求められたシンドロームからエラーを検出することで、信頼性に優れた復調データを得ることが可能とする。

図 1



【特許請求の範囲】

【請求項 1】 第 1 の誤り訂正符号のほかに少なくとも第 2 の誤り訂正符号を構成して積符号を形成する変調が施されたデジタルデータを入力とし、

上記入力されたデータを復調する回路と上記復調されたデータを一時的に蓄える記憶回路と上記記憶回路から上記データを読み出して上記データに含まれる誤りを検出または訂正する誤り訂正回路と上記復調回路と上記誤り訂正回路の他に上記記憶回路からデータを読み出す回路とを備えたデジタルデータ再生装置において、

上記復調回路と上記誤り訂正回路とは独立して上記記憶回路からデータを読み出す上記回路は上記誤り訂正回路で求められる上記第 1 の誤り訂正符号に対するシンドロームを計算し、

誤り検出を行うことを特徴とするデジタルデータ再生装置。

【請求項 2】 第 1 の誤り訂正符号のほかに少なくとも第 2 の誤り訂正符号を構成し、

積符号を形成する変調が施されたデジタルデータ列に含まれる誤りを積符号単位で誤りを検出または訂正する誤り訂正手段を備えたデジタルデータ再生方法において、

上記誤り訂正手段は上記積符号に対する誤り検出または訂正を行った後に再度上記第 1 の誤り訂正符号に対するシンドロームを計算し、

上記シンドロームの値から誤りが検出された上記第 1 の誤り訂正符号の数に応じて再度上記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生方法。

【請求項 3】 誤り検出符号を構成する変調が施された後、

複数の誤り検出符号を構成するデジタルデータ列からなるデジタルデータ列に第 1 の誤り訂正符号のほかに少なくとも第 2 の誤り訂正符号を構成して積符号を形成する変調が施されたデジタルデータ列に含まれる誤りを積符号単位で誤りを検出または訂正する誤り訂正手段と誤り検出符号単位で誤りを検出する誤り検出手段とを備えたデジタルデータ再生方法において、

上記誤り訂正手段が上記積符号に対する誤り検出または訂正を行った後に上記誤り検出手段が上記誤り検出符号を構成するデジタルデータ列に対する誤り検出を行い上記積符号に含まれる誤りが検出された上記誤り検出符号を構成するデジタルデータ列の数に応じて再度上記誤り訂正手段において同じ上記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生方法。

【請求項 4】 誤り検出符号を構成する変調が施された後、

複数の誤り検出符号を構成するデジタルデータ列からなるデジタルデータ列に第 1 の誤り訂正符号のほかに

2

少なくとも第 2 の誤り訂正符号を構成して積符号を形成する変調が施されたデジタルデータ列に含まれる誤りを積符号単位で誤りを検出または訂正する誤り訂正手段と誤り検出符号単位で誤りを検出する誤り検出手段とを備えたデジタルデータ再生方法において、

上記誤り訂正手段が上記積符号に対する誤り検出または訂正を行った後に再度上記第 1 の誤り訂正符号に対するシンドロームを計算し、

上記シンドロームの値から誤りが検出された上記第 1 の誤り訂正符号の数と上記誤り検出手段が上記誤り検出符号を構成するデジタルデータ列に対する誤り検出を行い上記積符号に含まれる誤りが検出された上記誤り検出符号を構成するデジタルデータ列の数に応じて再度上記誤り訂正手段において同じ上記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生方法。

【請求項 5】 請求項 1 のデジタルデータ再生装置において、

前記誤り訂正回路が前記積符号に対する誤り検出または訂正を行った後に前記復調回路と前記誤り訂正回路とは独立して前記記憶回路からデータを読み出す前記回路は前記誤り訂正回路で求められる前記第 1 の誤り訂正符号に対するシンドロームを再計算し、

前記積符号に含まれる前記シンドロームの値から誤りが検出された前記第 1 の誤り訂正符号の数に応じて前記誤り訂正回路が再度前記記憶回路に蓄えられている同じ前記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生装置。

【請求項 6】 誤り検出符号を構成する変調が施された後、

複数の誤り検出符号を構成するデジタルデータ列からなるデジタルデータ列に第 1 の誤り訂正符号のほかに少なくとも第 2 の誤り訂正符号を構成して積符号を形成する変調が施されたデジタルデータを入力とし、

上記入力されたデータを復調する回路と上記復調されたデータを一時的に蓄える記憶回路と上記記憶回路から上記データを読み出して上記データに含まれる誤りを検出または訂正する誤り訂正回路と上記記憶回路から上記データを読み出して上記データに含まれる誤りを検出する誤り検出回路とを備えたデジタルデータ再生装置において、

上記誤り訂正回路が上記積符号に対する誤り検出または訂正を行った後に上記誤り検出回路が上記誤り検出符号を構成するデジタルデータ列に対する誤り検出を行い上記積符号に含まれる誤りが検出された上記誤り検出符号を構成するデジタルデータ列の数に応じて上記誤り訂正回路が再度上記記憶回路に蓄えられている上記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生装置。

【請求項 7】 誤り検出符号を構成する変調が施された

3

後、

複数の誤り検出符号を構成するデジタルデータ列からなるデジタルデータ列に第1の誤り訂正符号のほかに少なくとも第2の誤り訂正符号を構成して積符号を形成する変調が施されたデジタルデータを入力とし、上記入力されたデータを復調する回路と上記復調されたデータを一時的に蓄える記憶回路と上記記憶回路から上記データを読み出して上記データに含まれる誤りを検出または訂正する誤り訂正回路と上記記憶回路から上記データを読み出して上記データに含まれる誤りを検出する誤り検出回路と上記復調回路と上記誤り訂正回路と上記誤り検出回路とは独立して上記記憶回路からデータを読み出す回路とを備えたデジタルデータ再生装置において、

上記誤り訂正回路が上記積符号に対する誤り検出または訂正を行った後に上記復調回路と上記誤り訂正回路の上記誤り検出回路の他に上記記憶回路からデータを読み出す上記回路は上記誤り訂正回路で求められる上記第1の誤り訂正符号に対するシンドロームを再計算し、上記積符号に含まれる上記シンドロームの値から誤りが検出された上記第1の誤り訂正符号の数と上記誤り検出回路が上記誤り検出符号を構成するデジタルデータ列に対する誤り検出を行い上記積符号に含まれる誤りが検出された上記誤り検出符号を構成するデジタルデータ列の数に応じて上記誤り訂正回路が再度上記記憶回路に蓄えられている同じ上記積符号に対する誤り検出または訂正を行うことを特徴とするデジタルデータ再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デジタルデータの再生装置、特に誤り訂正の処理を含む再生装置に関わる。

【0002】

【従来の技術】デジタルデータを記録した記録媒体の再生装置の例として、林謙二著「CD-オーディオからパソコンへ」コロナ社、pp.56-71(1990)に記載のものがある。これにはCD再生装置、及びその装置に含まれるデジタル信号処理部の処理内容とその回路構成について記載されている。

【0003】また、同様の変調処理が施されているデジタルデータを記録するメディアとして、CD(Compact Disk)の約8倍のデータ容量(4.7Gバイト)を持つDVDがある。このDVDの再生装置の例としては、原田益水著「デジタル映像技術のすべて」電波新聞社、pp.116-124(1998)に記載のものがある。

【0004】DVDのデータ変調について図を用いて説明する。

【0005】DVDでは、CDと同様、連続ピットからなる連続した螺旋形状のトラックが形成されており、ト

4

ラックの中心線がピットの中心線となっている。

【0006】データが記録されるトラック領域が情報領域であり、単一層のトラックにおいては、図2に示すように、情報領域200の先頭部(ディスクの内側)をリードイン領域201、終端部(ディスクの外側)をリードアウト領域203とし、これらリードイン領域201とリードアウト領域203の間をデータ領域202とする。このデータ領域202内に後述する物理セクタ(図3)が連続的にこの間に隙間なく配列されている。データ領域202に配列されている物理セクタには、データ領域202での最初の物理セクタをアドレス030000h(Hex:16進数)とし、その配列順に1ずつ増加するセクタ番号が割り当てられる。

【0007】ディスク上の情報領域200でのトラックで独立にアクセスできる最小のアドレスを「セクタ」という。セクタは、図3が示すように、信号処理過程に応じて「データセクタ」305、「記録セクタ」307、そして「物理セクタ」308と呼ばれる。

【0008】デジタルデータの信号処理過程では、40 バイトのID(Identification Data:識別データ)301に2バイトのIED(ID Error Detection code)が付加されて6バイトの(ID+IED)302が形成され、これを6バイトのCPR_MAI(Copyright Management Information)と共に2048バイトのメインデータに付加してデータ303を形成し、このデータ303にメインデータに対する6バイトのEDC(Error Detection Code:誤り検出符号)を付加して2064バイトのデータセクタ304を形成し、このデータセクタ304でのメインデータのみをスクランブル処理して上記のデータセクタ305が形成される。

【0009】図4(a)、(b)はID301を、同図(c)はデータセクタ305の構成をそれぞれ示すものである。

【0010】ID301は、図4(b)に示すように、図4(a)に示す構成の1バイトのセクタ情報(Data Field Information)401と3バイトのセクタ番号(Data Field Number)402とから構成されている。このセクタ番号402が、図2で説明したデータ領域202に順次配列される物理セクタのアドレスを表すセクタ番号であり、データ領域202(図2)での物理セクタにその配列順に割り当てられた030000hから始まるアドレスの通し番号である。

【0011】図4(c)は、データセクタ305であり、先に述べたように、2048バイト(=160バイト+172×10バイト+168バイト)のメインデータの先端に、4バイトのID301、2バイトのIED及び6バイトのCPR_MAIからなる12バイトのデータが、終端に4バイトのEDC(誤り検出符号)がそれぞれ付加され、メインデータ部のみがスクランブル処理された2064バイトのデータ列である。

5

【0012】このデータセクタ305を172バイト×12行の形式として、図5に示すように、16個のデータセクタ305を重ねた172バイト×192行形式のデータブロック306(図3)とし、このデータブロック306に、連続するデータの並び(図5では、横方向)に直行する垂直方向(図5では縦方向)に並ぶデータの列がRS(208、192、17)となるように16バイトの誤り訂正符号パリティ(外符号:P0)502を加え、さらにこのP0502が付加されてなる208行(=192行+16行)のデータの各行のデータ列(図5で横方向)がRS(182、172、11)となるように、10バイトの誤り訂正符号パリティ(内符号:PI)501を加えて、ECC(Error Correction Code)エンコーディング(図3)した182バイト×208行のデータブロックを得る。このようにRS(208、192、17)×RS(182、172、11)の積符号となっているデータブロック503をECCブロックという。

【0013】なお、このECCブロック503において、以下、横方向にみた各行をPI符号といい、縦方向にみた各列をP0符号という。

【0014】このような構成のECCブロック503において、16行のP0符号を1行ずつ各データセクタ305に挿み込むインターリーブを行い(図3)、図6に示す構成のECCブロックを得る。このECCブロックでは、各データセクタ305が1行のP0符号502が付加されて13行×182バイトのセクタ構成(即ち、12行のデータセクタ305からなるPI符号と1行のP0からなるP0符号)とされており、この13行のセクタが図3での記録セクタ307と呼ばれるものである。

【0015】記録セクタ307に、規則的に32ビットのSYNCコード(同期信号)が付加されながら8/16変調が施され、物理セクタ308(図3)が形成される。

【0016】図7は8/16変調された記録セクタ308の構成を示すものであって、図示するように、13行からなり、各行が8/16変調前の1バイト(8/16変調後では16ビット)を1データとして、182データからなっている。また8/16変調後の各行は1456×2=2912ビットからなっている。

【0017】物理セクタ308では、各行毎に「その先頭(1番目)のデータ(上記のように、8/16変調前では1バイト、8/16変調後では16ビット)の前」と「92番目のデータの前」とにそれぞれ32ビットのSYNCコード701が付加されている。SYNCコード701で始まる32+1456=1488ビットのビット列を、以下、SYNCフレームという。従って、8/16変調された物理セクタ308は、13行×2SYNCフレームから構成された38688ビットのビット列である。

【0018】1物理セクタ308に用いられるSYNCコード701はSY0~SY7の8種類であり、各行に含ま

6

れる2つのSYNCコード701の組み合わせは次の規則から決定される。SY0は物理セクタ308の第1行の先頭にのみ用いられ、これにより、物理セクタ308の先頭の識別ができるようにしている。また、SY1~SY4は第2行~第13行の先頭に順に繰り返して用いられ、SY5は第1行~第5行の92番目(8/16変調前の92バイト目)のデータの前に、SY6は第6行~第9行の92番目のデータの前に、SY7は第10行~第13行の92番目のデータの前にそれぞれ用いられる。このようにして、各行毎に用いられる2つのSYNCコード701は組み合わせを異にしておき、言い換えれば、物理セクタ308での行のアドレスに相当する行番号に応じてSYNCコード701の組み合わせが異なることになる。

【0019】以上のような規則に従って付加されたSYNCコード701の配置は全ての物理セクタ308で同じとなり、この構成の物理セクタ308が、図3において、データ領域202に隙間なく、連続して配列されている。図3のデータ領域は、破線で物理セクタ308の境界を示し、実線で16物理セクタ308からなるECCブロックの境界を示している。データ領域202では、先頭のECCブロックの先頭の物理セクタ308でID301でのセクタ番号が10h(16進数:10進数で16)で割り切れる030000hであり、各ECCブロックが16個の物理セクタ308からなるものであるから、各ECCブロックの先頭の物理セクタ308のセクタ番号が10hで割り切れることになる。

【0020】次にこのDVDの再生装置について説明する。

【0021】DVDの再生装置では、以上のように変調し、記録されたデジタルデータをディスクから読み出して元のデータに復元するため、基本的には各処理を変調過程と逆の順序で逆の処理を行う。

【0022】図8にDVD再生装置の一例を示す。

【0023】この図において、801はDVD、802はピックアップ、803はディスクを回転させるスピンドルモータ、804は光ピックアップ802等の制御を行うサーボ、805はDVD801より読み出されたアナログ再生信号の波形等価処理、2値化及び同期クロック生成を行うリードチャンネル、806はSYNCコード701を検出しながら、8/16変調されたデータを16ビットから8ビットに復調する復調回路、808はDVD801から読み出されたデータに含まれるエラーをECCブロック503の単位でPI訂正処理、P0訂正処理を行って、正しく訂正または検出する誤り訂正回路である。

【0024】この誤り訂正回路の構成について図9を用いて簡単に説明する。

【0025】ECCブロック503を構成するPI符号、P0符号に対する誤り訂正処理は同じ処理方法で行えるため、演算回路(シンドローム演算回路903、誤りの位

7

置・値演算回路904)はP I、P O訂正を兼用できる回路構成となっている。またP O訂正では、P I訂正での結果からエラーの位置を特定して行う消失訂正が可能となるため、この誤り訂正回路はP I訂正の結果を保管する誤り位置ポインタ格納レジスタ905を具備し、P O訂正時に、このレジスタに保管されたP I訂正の結果を元に消失訂正用誤り位置デコーダ906で、P O消失訂正時のエラー位置を決定する回路構成となっている。図10にP I訂正処理アルゴリズムを図11にP O訂正処理アルゴリズムの一例を示しておく。ただし、これらのアルゴリズムは、ランダムに発生するエラーには適しているが、連続的に発生するエラーに対してP O消失訂正を行うと高い確率で誤訂正を起こしてしまう。後で図12を用いてこの理由について述べる。

【0026】図8の説明に戻り、809はSYNC701とID301を用いて、復調回路807から出力されるデータをセクタ間にP O符号を挟み込むインターリーブを解除しながらECCブロック503の形式でRAM810に格納し、誤り訂正回路808の要求に応じてRAM810に格納されたECCブロック形式でデータを読み出し、誤り訂正回路808の要求に応じてRAM810上のエラーデータを正しく修正するRAM制御回路、810はRAM810から誤り訂正されたデータを読み出し、メインデータに施されたスクランブルを解除するデスクランブル回路、811はメインデータに付加されたEDCを用いてメインデータに含まれる誤りを検出する誤り検出回路、812は誤り検出回路811から出力されたデータをRAM815に格納し、インターフェース813からの要求に応じてRAM815のデータを出力する出力回路、813は上位装置とのデータの入出力制御を行うインターフェース、814は再生装置のシステム全体を統括するマイコンである。

【0027】DVD再生装置の誤り訂正回路808は、DVD801の形状や傷、ほこりなどが原因となってディスクから読み出されたデータに含まれるエラーをP I符号で5個、P O符号で8個まで訂正することが可能である。また、P O訂正で、P I訂正の結果からP O符号に含まれるエラーの位置を特定して、消失訂正を行うことで最大16個までのエラー訂正が可能となる。

【0028】DVDのような形状のディスクでは、データの配列方向についた傷やディスクの形状からトラッキングが一時はずれ、これが原因となって生じるエラーは、連続したエラー(バーストエラー)、つまりP I符号の並びと一致したエラーとなるため、連続した複数のP I符号でデータが欠落するといった状況も発生するため、再生装置内の誤り訂正回路では、極力このような状況下においても確実にエラーの訂正及び検出処理が行われる必要がある。

【0029】しかしながら、先に挙げた書籍には、こうした問題に対しての対策方法やこの問題を回避する回路構成について具体的には記されていない。

8

【0030】また既存の技術では、誤り訂正可能なバーストエラー長を確保するために、データの並びとは関係が少ない誤り訂正(DVDでのP O訂正)で最大数(P O訂正での16個)の訂正を消失訂正で行う回路に対し、符号上のエラー位置の指定を誤って行うことで100%生じてしまう誤訂正を防ぐために、図10や図11のような簡素なアルゴリズムではなく、エラー位置を決定し、誤り訂正を行うか行わないかを決定するために複数の分岐を持つ複雑なアルゴリズムを導入していたり、同一のECCブロックに対し、繰り返し誤り訂正処理を行っていた。

【0031】

【発明が解決しようとする課題】DVDなどのデジタルデータ再生装置において、再生するデジタルデータに多くのエラーが含まれている場合や、一部データが連続的に欠落している場合においても誤り訂正または誤り検出の処理を確実に行う手段、方法、またそれを実現するための回路を明確にし、再生データの信頼性を向上させることである。特に先に説明したような積符号を構成する変調が施されている場合、バースト訂正長を確保するためにP O訂正では、P I訂正時に多くエラーが検出された位置をエラー位置と指定し、エラーの値のみを求めて、エラー訂正数を確保する消失訂正が行われるが、消失訂正は先に述べたようにエラーの位置を正しく指定していないとき、高い確率で誤訂正が生じる。

【0032】この誤訂正の発生状況について図12を用いて説明する。

【0033】図12において、(A)は誤り訂正前のECCブロックに含まれるエラーを示しており、黒く塗りつぶされているところがエラーを表している。またこれらの図では点線をP I符号の並びを示す補助線として用いている。(B)は、エラーを含むECCブロック

(A)がP I訂正された後に残っているエラーの状況を示している。この図(B)はP I訂正でn行目から(n+15)行目にかけて5個を超えるエラーがP I符号に含まれていることを検出し、この区間のP I符号の位置には先に説明した誤り位置ポインタを付けているが、m行目のP I符号に対しては、2個のエラーが含まれていると誤検出し、これらのP I符号以外でエラーを含んでいるいくつかのP I符号と同様に、誤り訂正回路で“訂正できたため、このP I符号にはエラーなし”と判断してしまい、誤り位置ポインタは付けられなかった、ということの意味している。(C)は、P I訂正後のエラーを含むECCブロック(B)がP O訂正された後に残っているエラーの状況を示している。(C)はP I訂正でn行目から(n+15)行目にかけてのみ、誤り位置ポインタを付けたため、この区間をエラーの位置としてP O消失訂正を行ったため、実際にはP I訂正後、m行目にもエラーが含まれていたP O符号に対して、誤訂正を行ってしまっていることを意味している。また、誤訂正

が発生した場合には、誤り訂正回路は当然ながらこのECCブロックにエラーは含まれていないと判断し、エラーが含まれたままのデータを外部に出力してしまう可能性が高い。

【0034】本発明が解決しようとする課題はデジタルデータ再生装置において、誤り訂正回路において発生する誤訂正を従来の誤り訂正処理時間を変えずに、簡単に、かつ確実に検出することである。

【0035】

【課題を解決するための手段】誤り訂正処理後、データを出力する時に誤り訂正回路と独立したシンドローム演算回路において、PI符号のシンドローム演算を行い、エラー検出を行うことで、デジタルデータ再生装置において前に述べた問題点を解決することが可能となる。

【0036】

【発明の実施の形態】以下、図面を用いて本発明の実施例について説明する。

【0037】図1は、本発明の実施例である誤り訂正回路と独立したPIシンドローム演算回路を出力部に有するDVD再生装置である。

【0038】この図において、図8と同様に801はDVD、802はピックアップ、803はスピンドルモータ、804はサーボ、805はリードチャンネル、806は復調回路、807はRAM制御回路、808は誤り訂正回路、809はRAM、810はデスクランブル回路、811は誤り検出回路、812は出力回路、815はRAM、813はインターフェース、814はマイコンを示しており、101は本発明で誤り訂正回路と独立したPIシンドローム演算回路である。

【0039】DVD101から読み出されたデータは、復調処理を復調回路806で行われた後、RAM809に書き込まれ、誤り訂正回路808において、PI訂正、PO訂正の誤り訂正処理が行われる。この誤り訂正処理が終了したデータは、誤り訂正処理のためのバッファとして用いられているRAM809からECCブロック503単位でホストのリクエストに応じてインターフェース813を介して迅速に出力が行われるためにRAM815に移動される。

【0040】この移動時に、PIシンドローム演算は、スクランブル処理、誤り検出演算と同時に図13(B)が示すシンドローム演算回路101において行われる。

【0041】このときのPIシンドローム演算回路の動作について説明する。

【0042】RAM809からRAM制御回路807を介してPI演算回路101に入力されるデータは図13(A)の構成からなる1つ以上のSi ($m \leq i \leq n$, $0 \leq m$, $n \leq 9$) 演算回路1301に同時に入力される。各Si演算回路において、PI符号単位で求められたシンドロームSiはデコーダ1308に入力され、この回路内で各シンドロームSiの各ビットを論理和(OR)した結果Riを求め、さらに各Riを論理和(OR)してそれを判定結果とし、割り込み信号としてマイコン814などに出力す

る。

【0043】なお、DVDの場合には、このSi演算回路1301の数は最小で1、最大10であり、1個のSi演算回路を追加する度に図12を用いて説明したような誤訂正が起こったECCブロック503に対する誤訂正検出確率を10桁以上(従来の確率の $(2^{-8})^{17}$ とする)の向上させることが可能となる。

【0044】またPIシンドローム演算回路101への入力データの大半は後の誤り検出回路812への入力データでもあるので、PIシンドローム演算回路101で入力データを遅延させることなくそのまま外部へと出力しているため、PIシンドローム演算回路を追加したことにより従来の処理時間を増加させることはない。

【0045】図14に図1とは異なるシステム構成のDVD再生装置にこの発明を適用した場合の例を示す。

【0046】図1と図14のシステムにおける相違点は、図1でECC演算用バッファ、出力用バッファとして目的に応じて2つに分けていたRAM809、815を1つのRAM809にしている点である。このため、インターフェースからホストにデータを転送する前にデータに含まれるエラーを検出する必要性から誤り検出処理は誤り訂正処理と同様にRAM809から独立でデータの読み出しが行われることになる。そこで誤り訂正処理が行われた後、RAM809から誤り検出回路810に入力されるデータをPIシンドローム演算回路101の入力とすることで図1と同様の効果をこのシステム構成でも得ることが可能となる。

【0047】またさらにこのシステムでは、誤り訂正回路808と誤訂正検出用PIシンドローム演算回路101で同一のRAM809からデータを読み出すため、誤訂正検出用PIシンドローム演算回路101で検出された誤訂正検出結果に応じて、システム動作を切り替えることで従来に比べ、高速にデータを出力することが可能となる。このことを図15、16、17、18を用いて説明する。

【0048】図15はこのシステムにおけるRAM809にどのようにしてデータが格納されているか、またRAM制御回路807に内蔵されたステートレジスタの構成されているかを示すものである。

【0049】RAM809には図1が示すようにデータはECCブロック503の形式で格納されており、エリア0からエリアn-1にかけて合計n個のECCブロック503が格納される。このn個のエリアはリングバッファとして、すなわち、エリア0から格納されるデータはエリアn-1に格納された後、続くデータを再び0から書き始めるようにRAM制御回路807で各演算回路が処理を行うエリアを指し示すカウンタ(図15においては実線を用いてカウンタの指し示す位置を表している)を用いて制御されている。RAM制御回路807に内蔵されたステートレジスタはこのRAM809に格納されたエリアに1対1で対応しており、それぞれのエリアに対し、2ビ

ット割り当てられる。この2ビットは値により対応するエリアに格納されているECCブロック503のステートを示し、その内容は値が00のとき、PIシンドローム演算未、10のとき、PIシンドローム演算済、再度誤り訂正処理要11のとき、PIシンドローム演算済、出力可能を意味している。またこのシステムにおいては、誤り訂正処理はPIシンドローム演算処理に比べ、1ECCブロック値の処理時間が多く必要であるとする。つまり、誤り検出演算・PIシンドローム演算処理は誤り訂正処理に続いて行われるため、この2つの処理の間が2離れることはないとする。ただし、この条件は説明を簡単にするためのシステムを仮定しただけであり、この説明中の制御で一部不足する点が生じるが条件を満たす制御に変更することは容易で、実際のシステムにこれらの限定を与える必要はない。これらの条件から、図15において各エリアに格納されたECCブロックのステータは、

エリアn-2：復調処理中、

…、

エリア2：ステートレジスタ1504=00から復調処理済・誤り訂正処理未、

エリア1：ステートレジスタ1503=10から再度誤り訂正処理中、

エリア0：ステートレジスタ1502=10および誤り訂正処理の位置から再度誤り訂正処理済、誤り検出演算・PIシンドローム演算処理中、

エリアn-1：出力中

である。

【0050】このシステムの制御方法について、上で述べたカウンタとステートレジスタの値を用いて説明する。

【0051】図16は各回路の処理時間と各回路が処理を行うエリアを指し示すカウンタRAMカウンタの動作を示す。この図の上位に位置する各回路の処理時間からわかるように、各回路からは演算終了を示すECCブロック処理終了信号が出力されており、各演算処理はそのデータに対して前に行われる演算処理、例えばPIシンドローム演算・誤り検出演算に対する誤り訂正処理が終了すると同時に動作を開始する。また各回路はECCブロック単位で処理を行うため、RAMカウンタは各処理がDRAMにアクセスを開始する前に動作し、各回路が処理を行うエリアを確定する。図16の時間(A)はRAM809のエリアn-1に格納された誤り訂正処理後のECCブロック内でPIシンドローム演算回路101または誤り検出演算回路811でエラーが検出され、再度誤り訂正処理が行われることを表している。また、時間(B)はRAM809のエリアn-1に格納された誤り訂正処理が終了した後、すでに誤り訂正処理が終了し、エラーが検出されなかったエリア0を飛ばし、エリア1に対する誤り訂正処理を開始していることを表している。

【0052】次にこのカウンタ動作を実現するための制御方法について説明する。

【0053】始めに、RAM制御回路807に内蔵されるステートレジスタ1501の動作について述べる。各エリアのステートレジスタの値が変化するタイミングは、そのエリアに格納されたデータに対して復調処理終了のタイミングおよびPIシンドローム演算処理・誤り検出演算終了のタイミングの2箇所であり、復調処理後のタイミングでは常にステートレジスタは00にクリアされる。PIシンドローム演算処理・誤り検出演算終了時のタイミングに変化するステートレジスタの変化後の値を決定するアルゴリズムを図18および図19に示す。ただし、図18と図19はそれぞれ独立にPIシンドローム演算処理結果と誤り検出演算結果を元にステートレジスタ1501の値を決定するアルゴリズムであり、2つの誤り検出演算結果を複合してステートレジスタの値を決定する場合は、おのおののアルゴリズムに従って決定されたステートレジスタの各ビットの論理積(AND)から次のステートレジスタの値を導き出す。例えば、PIシンドローム演算処理結果から導き出されたステートレジスタの値が10、誤り検出演算結果から導き出されたステートレジスタの値が11であった場合には、この独立した2種類の結果から得られるステートレジスタは10となる。

【0054】図18を用いてこのアルゴリズムの内容について説明する。PIシンドローム演算を208行のPI符号全てに対して行った結果、エラーが検出されたPI符号の数Nによって、処理は切り替えられる。208行の全てのPI符号でエラーが検出されなかった、つまりN=0であった場合、ステートレジスタはPIシンドローム演算済、出力可能を示す11がセットされる。図18でのiはDVD801の状態やDVD801に記録されたコンテンツに応じてマイコン814から与えられるしきい値であり、通常15がセットされる。208行中の1からiの数のPI符号でエラーが検出された場合、そのデータに対するステートレジスタの値は、そのECCブロックに対して誤り訂正処理が行われた回数によって、決定される。まだ1度しか誤り訂正処理を行っていないECCブロック、つまりステートレジスタの値が00であったECCブロック503に対しては、再度誤り訂正処理を行うことで全てのエラーがなくなることを期待して、再度誤り訂正処理要を示すステートレジスタ10を付加し、すでに繰り返して誤り訂正処理が行われたデータに対しては再度誤り訂正処理を行っても同様の結果となることを予測し、そのデータを再度DVD801から読み出すリトライ処理を行わせる割り込み信号をマイコン814に出力する。

【0055】208行のPI符号のうち、iを超える数のPI符号でエラーが検出された場合には、再度誤り訂正処理を行っても同様の結果が得られることを予測し、

13

上記と同様にそのデータを再度DVD801から読み出すリトライ処理を行わせる割り込み信号をマイコン814に出力する。

【0056】図19のアルゴリズムの内容について説明する。誤り検出演算(EDC演算)を16のセクタ全てに対して行った結果、エラーが検出されたセクタの数Nによって、処理は切り替えられる。16全てのPI符号でエラーが検出されなかった、つまりN=0であった場合、ステートレジスタは誤り検出演算(EDC演算)済、出力可能を示す11がセットされる。図19でのjは図18のi同様にマイコン814から与えられるしきい値であり、通常1がセットされる。16セクタ中の1からjの間の数のセクタでエラーが検出された場合、そのデータに対するステートレジスタの値は、そのECCブロックに対して誤り訂正処理が行われた回数によって、決定される。まだ1度しか誤り訂正処理を行っていないECCブロック、つまりステートレジスタの値が00であったECCブロック503に対しては、再度誤り訂正処理を行うことで全てのエラーがなくなることを期待して、再度誤り訂正処理要を示すステートレジスタ10を付加し、すでに繰り返して誤り訂正処理が行われたデータに対しては再度誤り訂正処理を行っても同様の結果となることを予測し、そのデータを再度DVD801から読み出すリトライ処理を行わせる割り込み信号をマイコン814に出力する。

【0057】16セクタのうち、jを超える数のセクタ数が検出された場合には、再度誤り訂正処理を行っても同様の結果が得られることを予測し、上記と同様にそのデータを再度DVD801から読み出すリトライ処理を行わせる割り込み信号をマイコン814に出力する。

【0058】この図19で示したアルゴリズムを元に各ECCブロックに対するステートを決定し、各処理の順番や方法を切り替える方法はPIシンドローム演算回路を新規に追加しなくても従来のシステムにステートレジスタを追加し、エラーを検出した全てのECCブロックに対してリトライをかける必要がなくなるため、RAM制御回路807内のカウンタ制御回路を変更するだけで従来に比べ入力されてから出力するまでの信号処理時間を短縮することが可能となる。

【0059】次にこのように付加されたRAM制御回路807に内蔵されるステートレジスタ1501を利用して各演算処理の対象とするECCブロックを指し示すカウンタ値を決定するかを説明する。

【0060】復調回路806がデータの格納を行うRAM809上のエリアは、DVD801から読み出され復調回路806に入力されたデータに依存するため、復調回路806は入力されるデータに付加されたSYNC701やID301を元にECCブロック503の切り替わりを検出し、ECCブロック処理終了信号を出力、RAM制御回路807内の復調回路806処理カウンタはこのECCブロック処理終了

14

信号を元に1加算し、データの格納を行うエリアを規則的に1ずつ移動していく。

【0061】誤り訂正回路808がデータの処理を行うRAM809上のエリアは、RAM制御回路807に内蔵されるステートレジスタ1501の値に依存する。この動作を図17を用いて説明する。

【0062】誤り訂正処理が終了するときには、必ず誤り訂正処理を行っていたRAM809上のエリア(N)の1つ前のエリア(N-1)に格納されているデータに対するPIシンドローム演算・誤り検出処理は終了しているため、誤り訂正処理を行うエリアを移動するときには、現在処理していたエリアの1つ前のエリアのPIシンドローム演算・誤り検出の処理結果を示すステートレジスタを確認し、次のカウンタ値を決定する。このとき1つ前のECCブロックに対するステートレジスタの値が10であった場合は、PIシンドローム演算処理・誤り検出処理で再度前のエリアに格納されたデータに対する誤り訂正処理が必要であると判断されているため、誤り訂正回路808がデータの処理を行うRAM809上のエリアを1つ前(N-1)に戻し、1つ前のECCブロックに対するステートレジスタの値が10でなかった場合は、つまり11であった場合には、PIシンドローム演算処理・誤り検出処理で前のエリアに格納されたデータにエラーは含まれていないと判断されているため、誤り訂正回路808がデータの処理を行うRAM809上のエリアを1つ先(N+1)に移す。ただし、誤り訂正処理を行ったECCブロック503は2回の誤り訂正処理を行った可能性があり、次のECCブロック503に対する誤り訂正処理はすでに終了しており、かつPIシンドローム演算処理・誤り検出処理でこのエリアに格納されたデータにエラーは含まれていないと判断され、出力のみを待っている状態となっている可能性があるため、移動時に次のエリアに対するステートレジスタの値を確認し、値が11となっている場合は、さらにその次(N+2)のエリアに誤り訂正処理を移動させるため、誤り訂正回路808のエリアを示すカウンタを2つ進める。

【0063】PIシンドローム演算101・誤り検出回路810がデータの処理を行うRAM809上のエリアは、誤り訂正処理に依存し、また誤り訂正処理に必要とされる時間よりPIシンドローム演算・誤り検出演算処理に必要とされる時間は短いため、PIシンドローム演算・誤り検出演算処理終了時に次にPIシンドローム演算・誤り検出演算処理が行うECCブロックに対する誤り訂正処理がまだ終了していないのでPIシンドローム演算・誤り検出演算処理終了時に出力されるPIシンドローム演算101・誤り検出演算回路810ECCブロック処理終了信号のタイミングでPIシンドローム演算101・誤り検出演算回路810のエリアを示すカウンタに誤り訂正回路808のエリアを示すカウンタ値をロードする。

【0064】出力回路1401がデータの読み出しを行うR

15

AM809上のエリアは、DVD801から読み出され復調回路806に入力され、RAM809に格納された順に移動する必要があるため、1 ECCブロック分のデータ転送が終了したことを示す出力回路1401 ECCブロック処理終了信号の出力のタイミングで出力するデータが格納されているエリアを指し示すカウンタ値を規則的に1ずつ増加させていく。ただし、次のエリアのデータが出力可能となるのはそのエリアのステートレジスタの値が11であるときのみであるため、図16のエリア(n-1)のように1度目の誤り訂正処理後にPIシンドローム演算101・誤り検出演算回路810でエラーが検出され、再度誤り訂正処理が行われる場合などが生じたときには、出力が通常より長く待たされる場合が発生する。

【0065】上記に各回路の処理カウンタの切り替わり動作を示したが、リトライ時には従来と同じように異常が検出されたECCブロックが格納されているエリアを指し示すカウンタ値に復調回路、誤り訂正回路、PIシンドローム演算・誤り検出演算回路のカウンタ値はセットされる。

【0066】このように従来行われていた各演算処理を行うカウンタによる制御方法にそれぞれのデータの誤り訂正状況を示すステートを加え、各演算処理をカウンタとステートで管理し、システム制御を行うことで、従来のDVD再生装置のシステムに比べ、誤り検出能力を高め、かつデータが入力されてから出力できるようにするまでの時間を短縮することが可能となる。

【0067】ここではDVD(光ディスク)を再生する場合を例として説明したが、本発明は上記の実施例に限定されるものではなく、その主旨を逸脱しない範囲で種々に変形して実施することが出来る。

【0068】

【発明の効果】以上、本発明によれば、デジタルデータ再生装置で、積符号を構成する誤り訂正符号の誤り訂正処理を行った後に、再度シンドローム演算処理をエラー検出専用構成されたシンドローム演算回路で行うことで、信頼性に優れた復調データを得ることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例であるDVD再生装置を示す図。

【図2】単一層のDVDの情報領域の構成を示す図。

16

【図3】DVDのセクタの構成順序を示す図。

【図4】ID及びデータセクタの構成を示す図。

【図5】ECCブロックの構成を示す図。

【図6】行インターリーブ後のECCブロック(16記録セクタ)の構成を示す図。

【図7】物理セクタの構成を示す図。

【図8】従来のDVD再生装置を示す図。

【図9】誤り訂正回路の構成を示す図。

【図10】PI訂正処理のアルゴリズムを示すフローチャート。

【図11】PO訂正処理のアルゴリズムを示すフローチャート。

【図12】PO消失訂正で誤訂正が発生する状況を示す図。

【図13】誤り検出用に構成されたPIシンドローム演算回路を示す図。

【図14】本発明の第2の実施例であるDVD再生装置を示す図。

【図15】本発明の第2の実施例であるDVD再生装置RAM上のデータ配置を示す図。

【図16】本発明の第2の実施例であるDVD再生装置を構成する各デジタル信号処理回路の動作を示す図。

【図17】誤り訂正処理のRAMカウンタ値を決定するアルゴリズムを示すフローチャート。

【図18】PIシンドローム演算回路から得られた結果よりステートレジスタの値を決定するアルゴリズムを示すフローチャート。

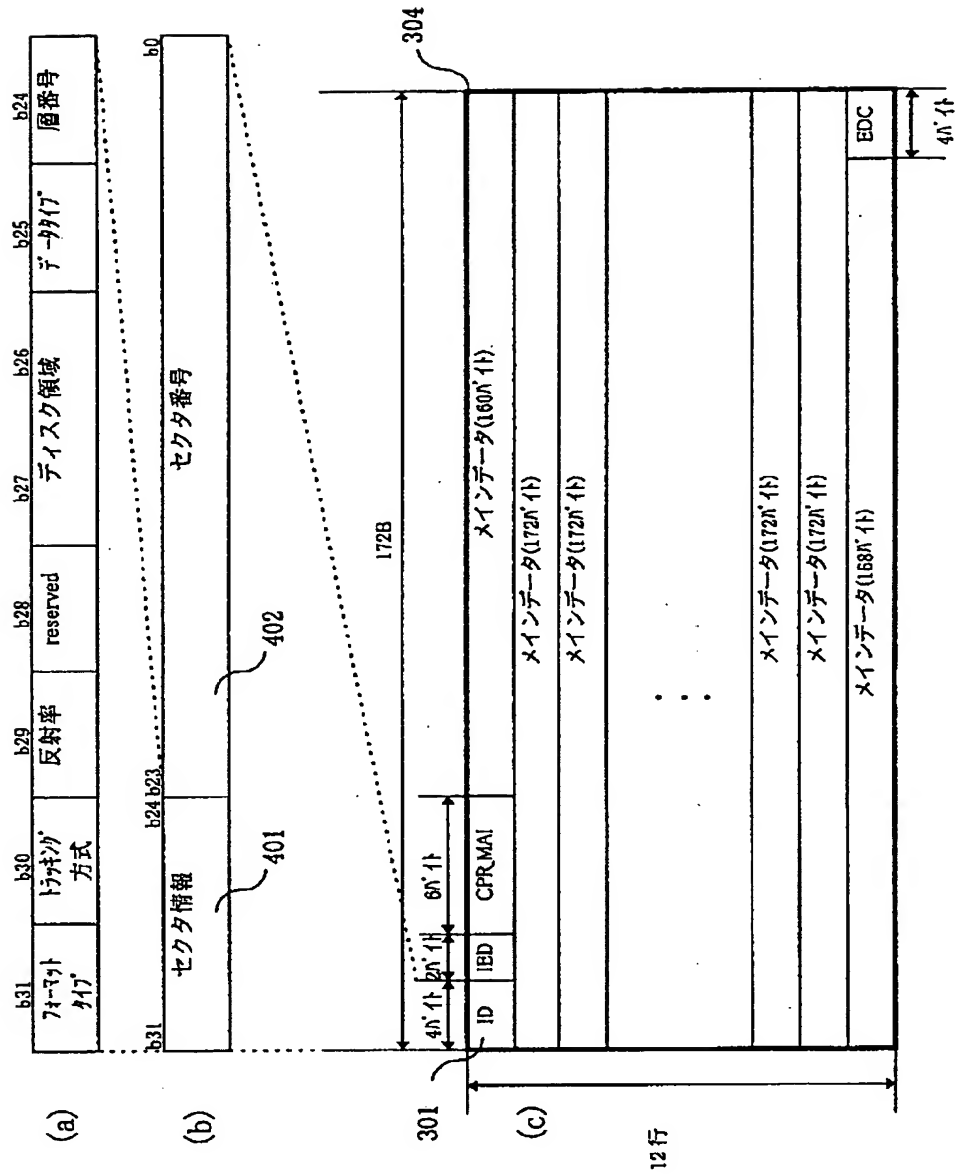
【図19】誤り検出演算回路(EDC演算回路)から得られた結果よりステートレジスタの値を決定するアルゴリズムを示すフローチャート。

【符号の説明】

101…PIシンドローム演算回路、801…DVD、802…ピックアップ、803…スピンドルモータ、804…サーボ、805…リードチャネル、806…復調回路、807…RAM制御回路、808…誤り訂正回路、809…RAM、810…デスクランブル回路、811…誤り検出演算回路、812…(RAM815制御回路内蔵)出力回路、813…インターフェース、814…マイコン、501…内符号(PI)、502…外符号(PO)、503…ECCブロック、1301…Si演算回路、1302… α i乗算回路、1303…加算回路、1308…デコーダ(多入力1出力OR回路)、1501…ステートレジスタ。

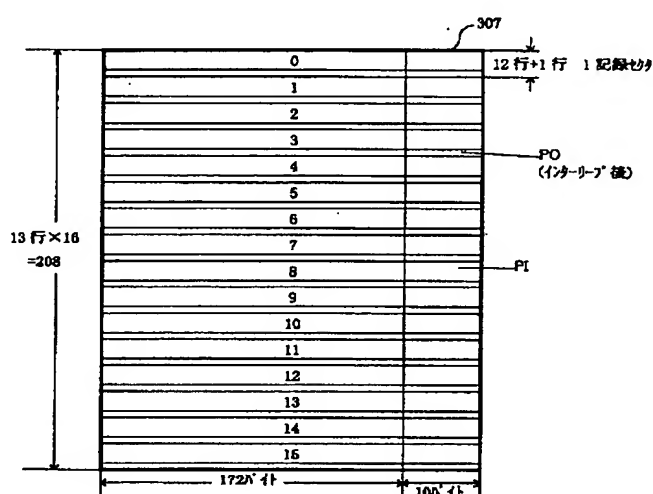
【図4】

図 4

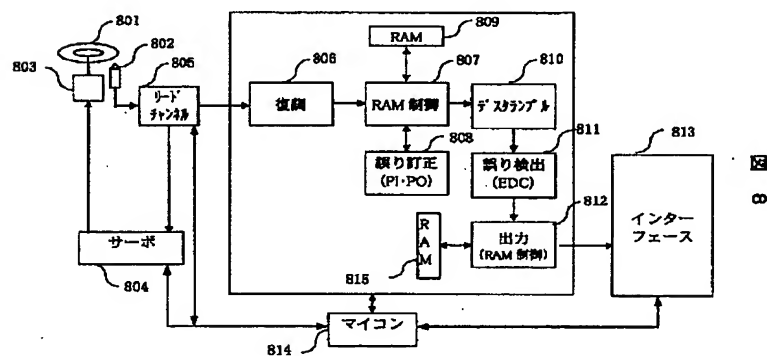


【図 6】

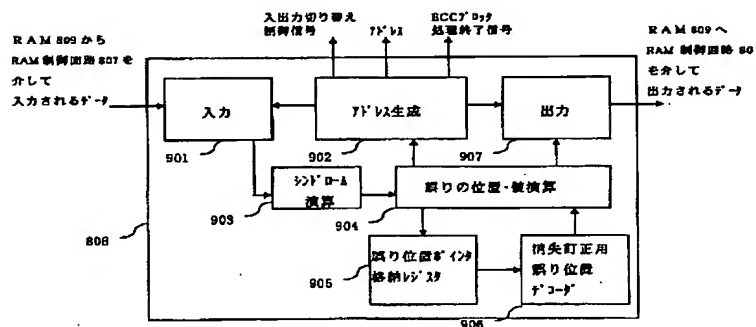
6



【图 8】

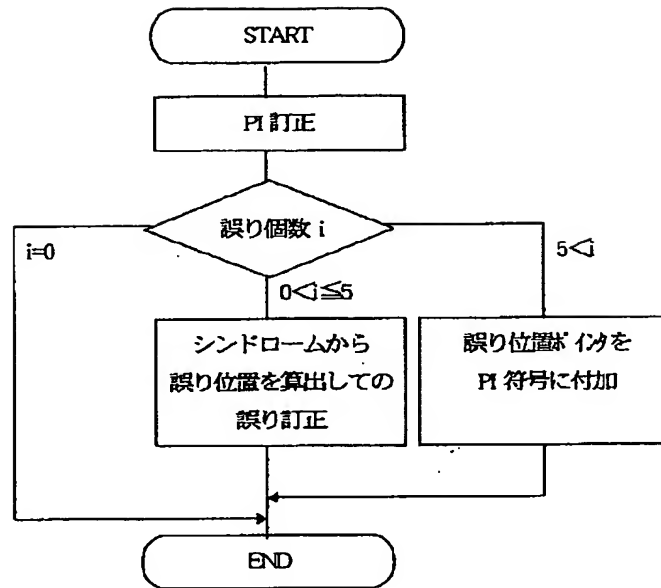


【图 9】



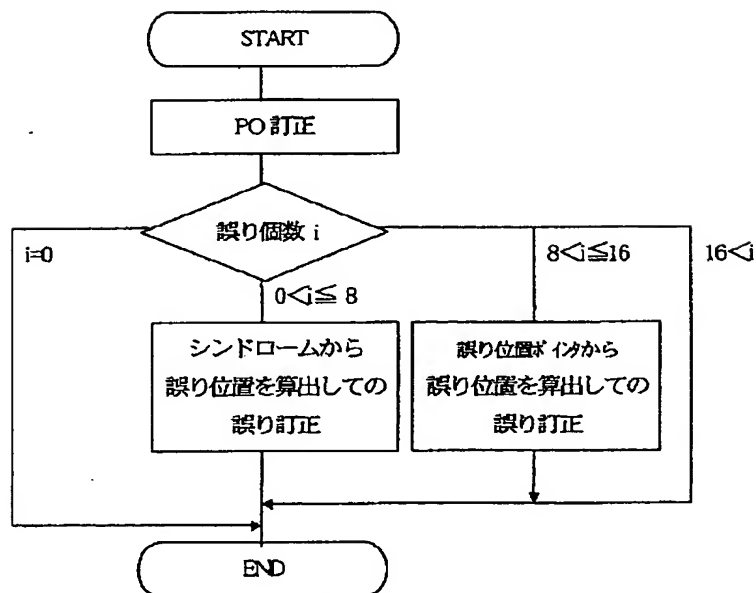
【図 10】

図 10



【図 11】

図 11



【図 12】

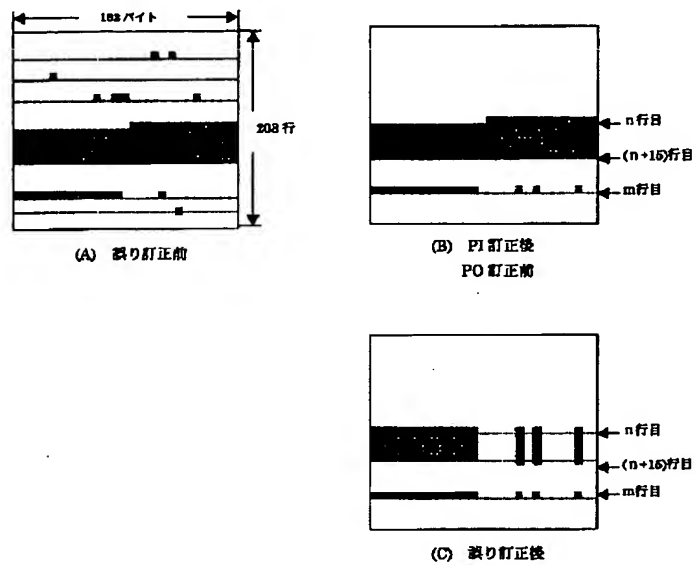
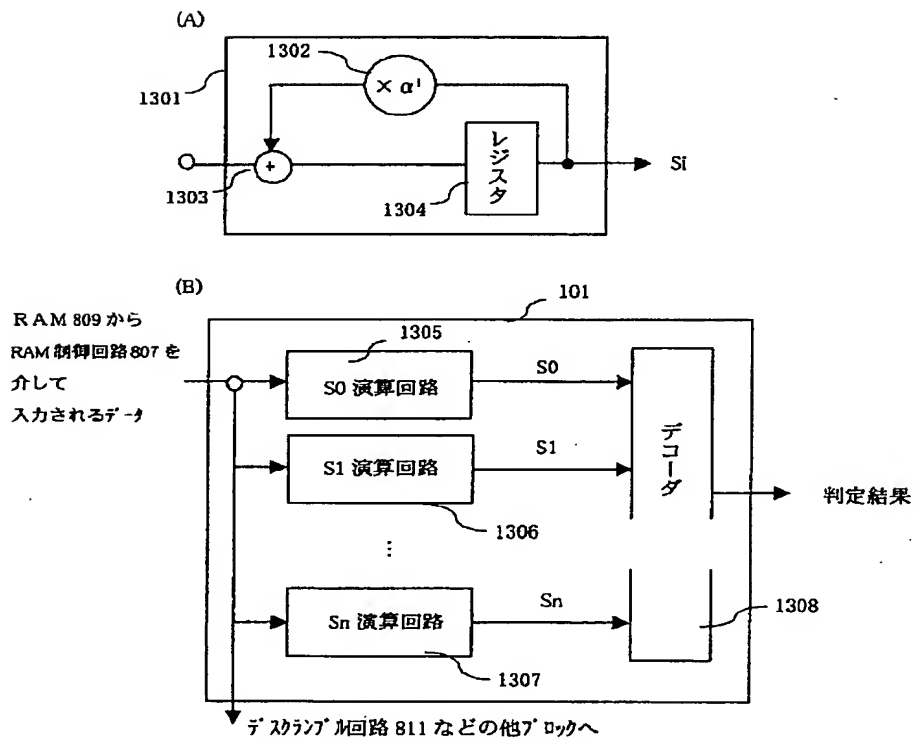


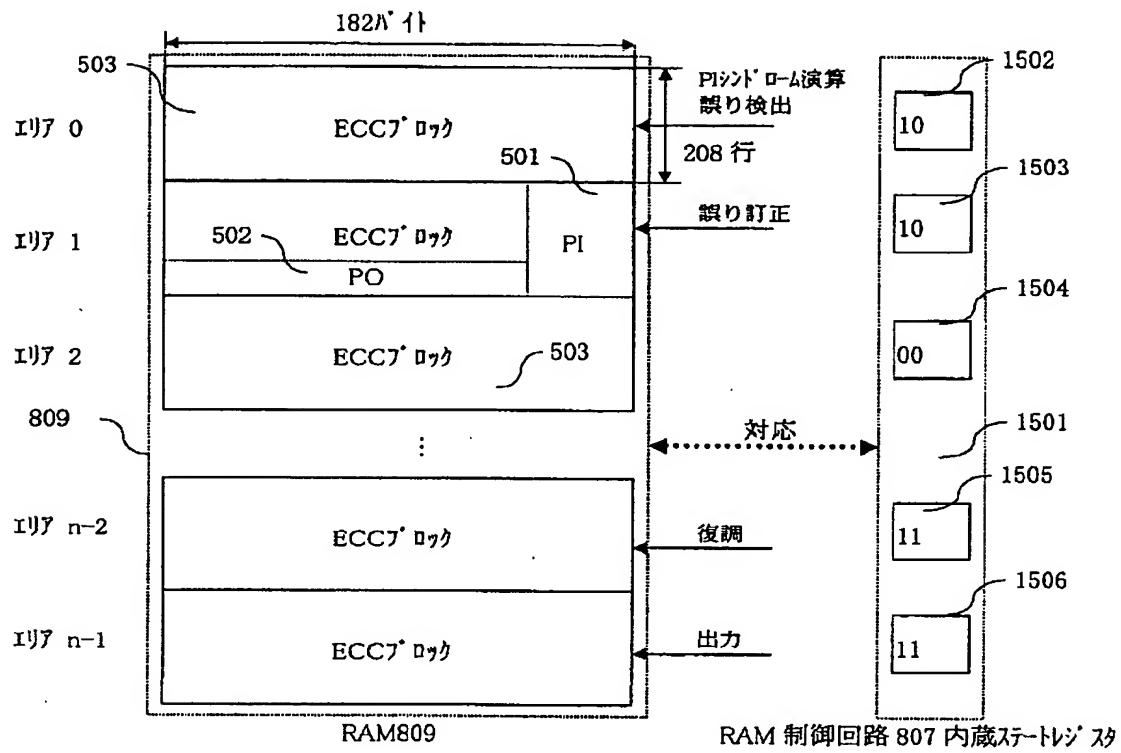
図 12

【図 13】

図 13

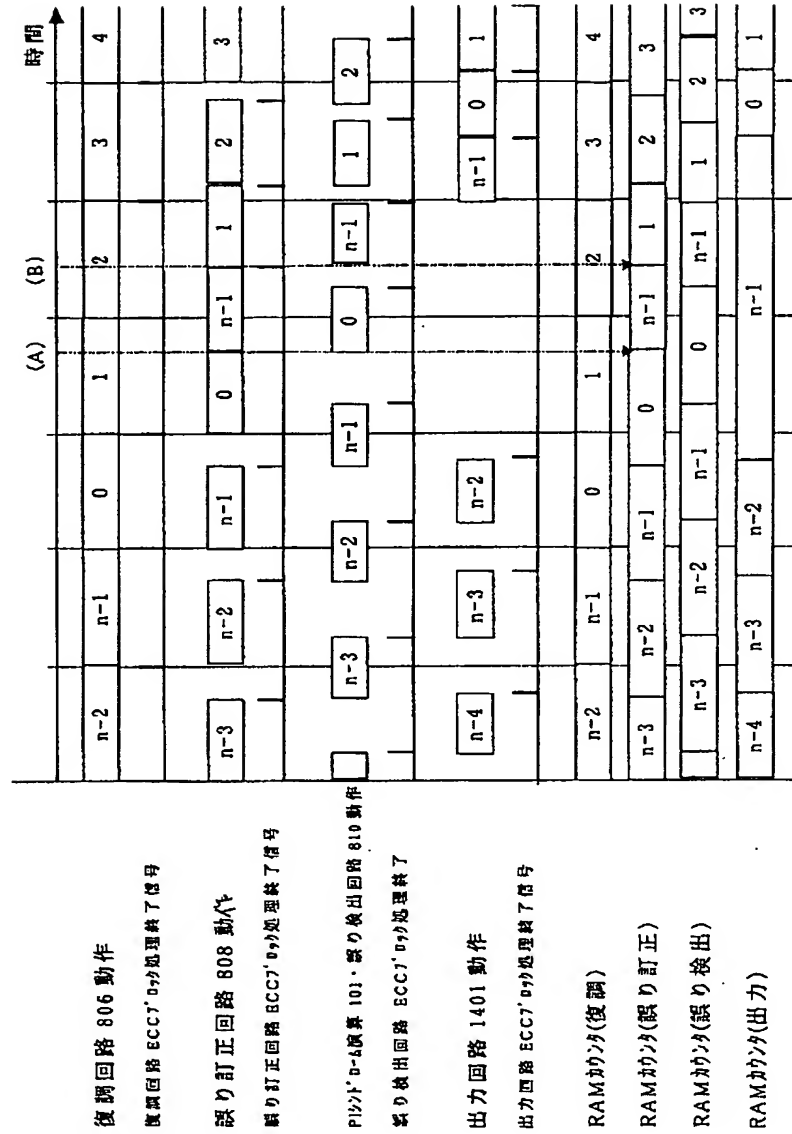


【図15】



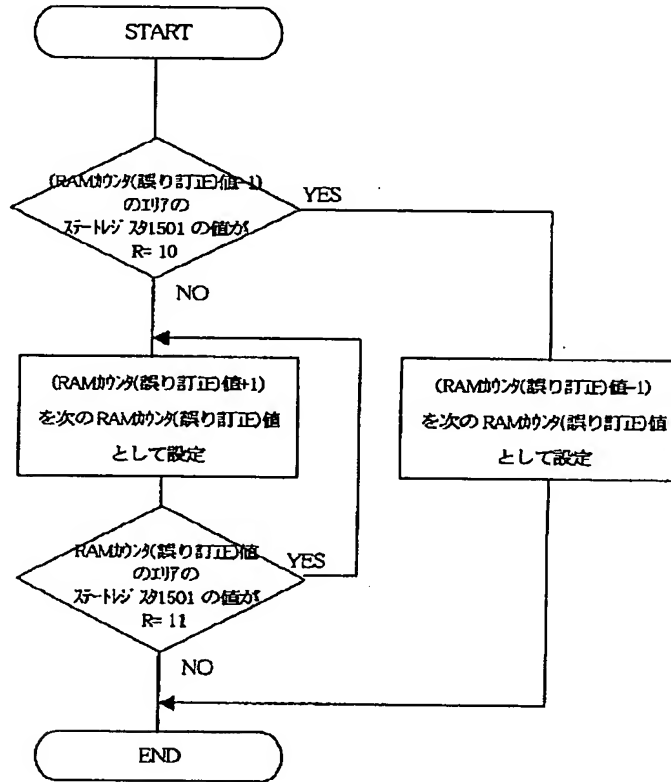
【図16】

図 16



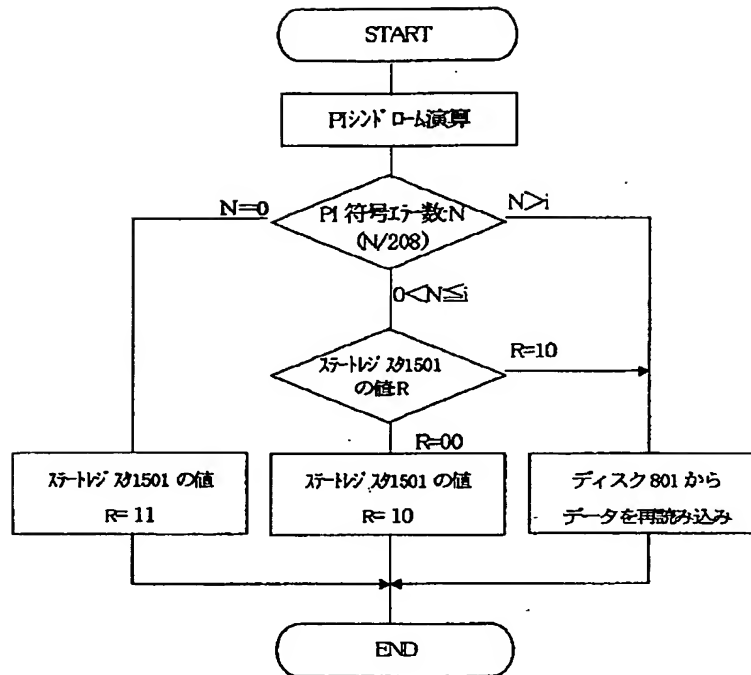
【図17】

図 17



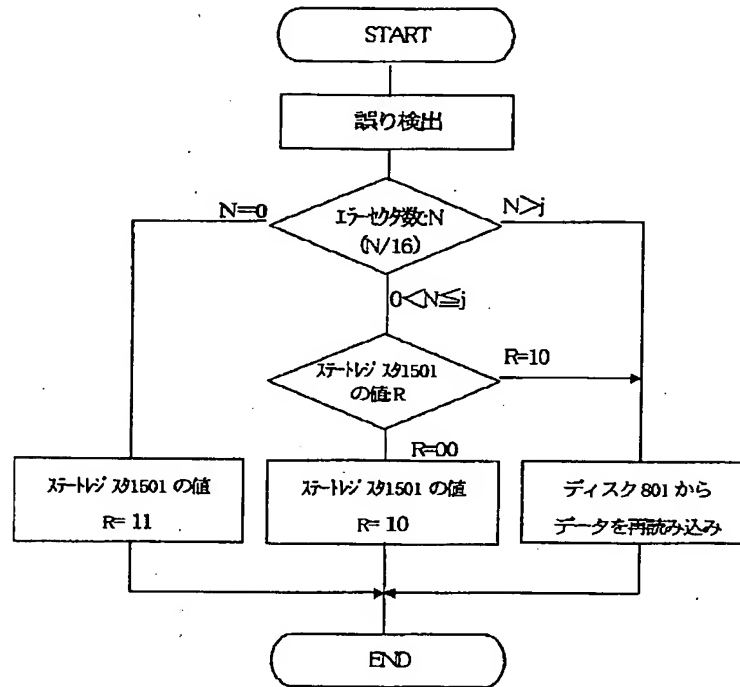
【図18】

図 18



【図19】

図 19



フロントページの続き

(51) Int. Cl. 7

G 0 6 F 11/10

H 0 3 M 13/29

識別記号

3 3 0

F I

G 0 6 F 11/10

H 0 3 M 13/29

テ-マコード (参考)

3 3 0 S

(72) 発明者 永井 裕

神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立製作所デジタルメディア開発本
 部内

Fターム (参考)

5B001 AA13 AB02 AD03 AE02

5J065 AA01 AB01 AC03 AD01 AD03

AG02 AH05 AH06 AH17